

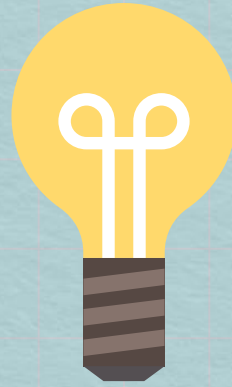


CENTRAL PROCESSING UNIT (CPU)

Pertemuan ke 7

Matakuliah Mikroprosesor dan Antarmuka

“



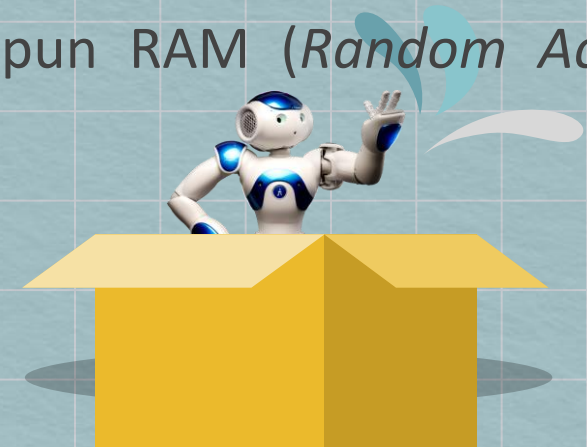
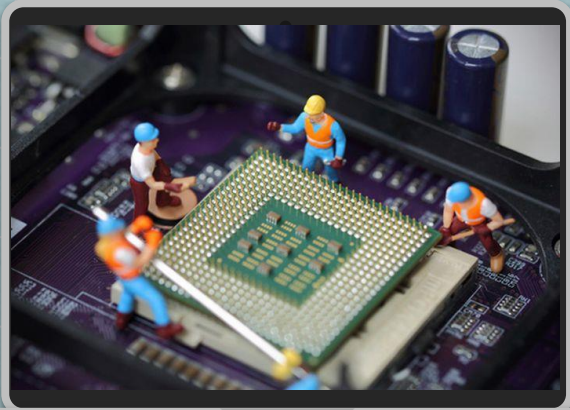
FENOMENA PROSES MEMBACA DAN MENULIS DATA



— Irene M. Pepperberg

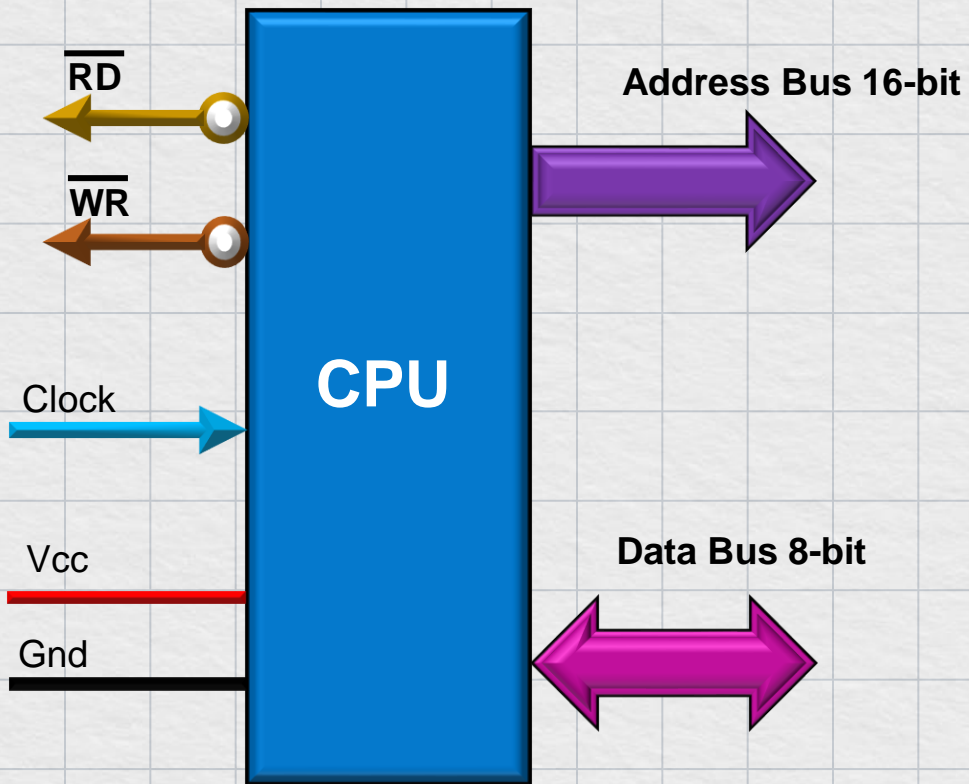
FENOMENA PROSES MEMBACA DAN MENULIS DATA

Pada dasarnya CPU membutuhkan data-data yang dapat dibaca, untuk dapat bekerja. Data-data ini berupa program, yang sesuai dengan bahasa mesin CPU tersebut. Program adalah susunan logika-logika biner, yang disimpan pada alamat tertentu. Data-data ini diisi dirangkaian memori, baik ROM (*Read Only Memory*) maupun RAM (*Random Access Memory*).

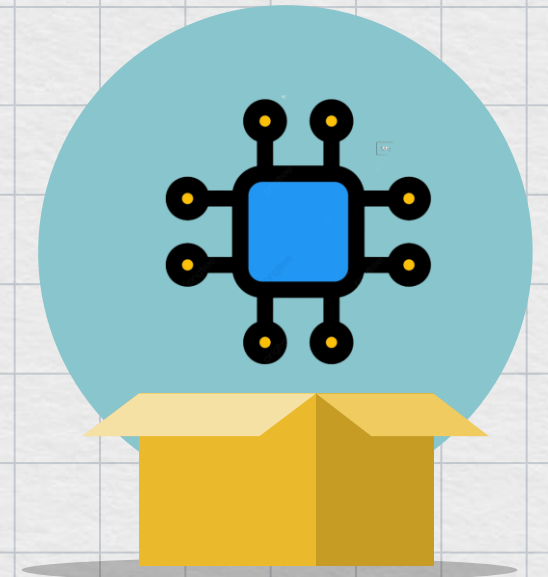


FENOMENA PROSES MEMBACA DAN MENULIS DATA

CPU memiliki 16-bit address bus, 8-bit data bus dan sebuah jalur kontrol Read dan Write, Seperti pada Gambar 4.5.



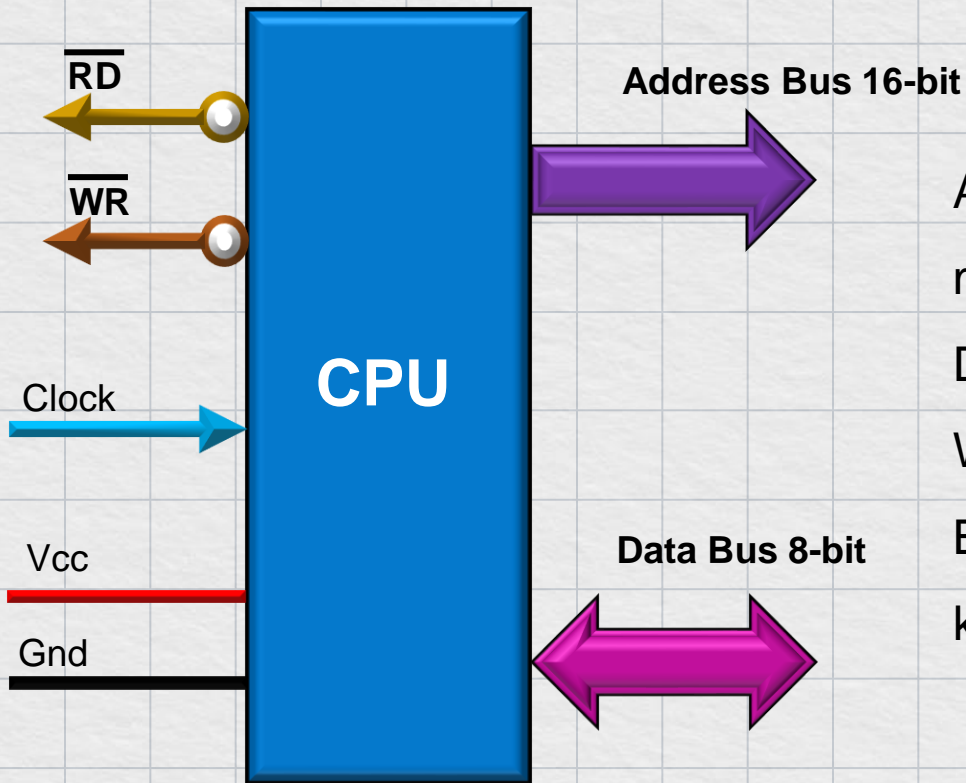
Tiap CPU memiliki kontrol Read (\overline{RD}) dan Write (\overline{WR}). Kontrol \overline{RD} dan \overline{WR} tidak pernah aktif bersama, karena dalam satu waktu CPU hanya akan beroperasi membaca atau menulis saja.



Gambar 4.5 Ilustras CPU 8-bit dengan kontrol \overline{RD} dan \overline{WR}

FENOMENA PROSES MEMBACA DAN MENULIS DATA

CPU memiliki 16-bit address bus, 8-bit data bus dan sebuah jalur kontrol Read dan Write, Seperti pada Gambar 4.5.



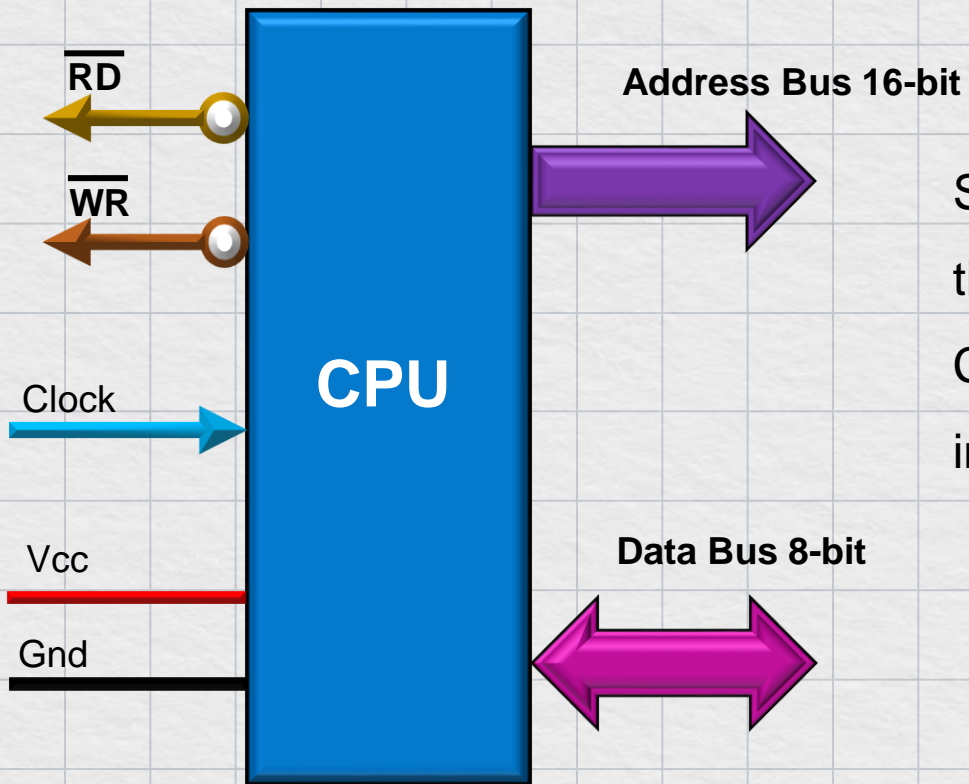
Apabila CPU membentuk operasi Read, maka jalur kontrol akan berlogika 0. Demikian pula bila membentuk operasi Write, maka jalur kontrol akan berlogika 0. Bila tidak membentuk operasi, maka jalur kontrol akan bernilai 1 (non-active).



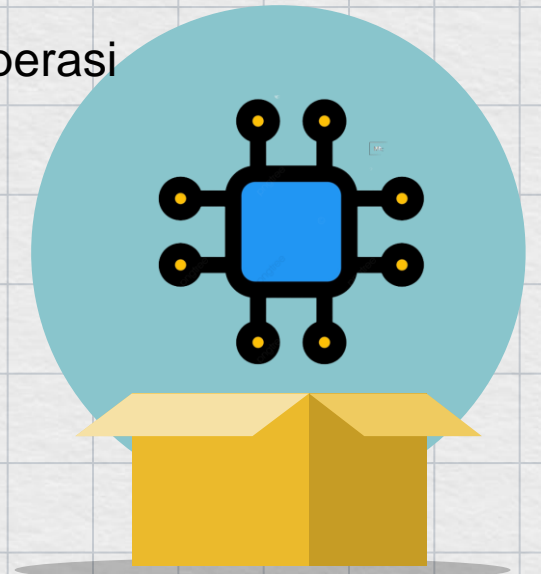
Gambar 4.5 Ilustras CPU 8-bit dengan kontrol \overline{RD} dan \overline{WR} (lanjutan)

FENOMENA PROSES MEMBACA DAN MENULIS DATA

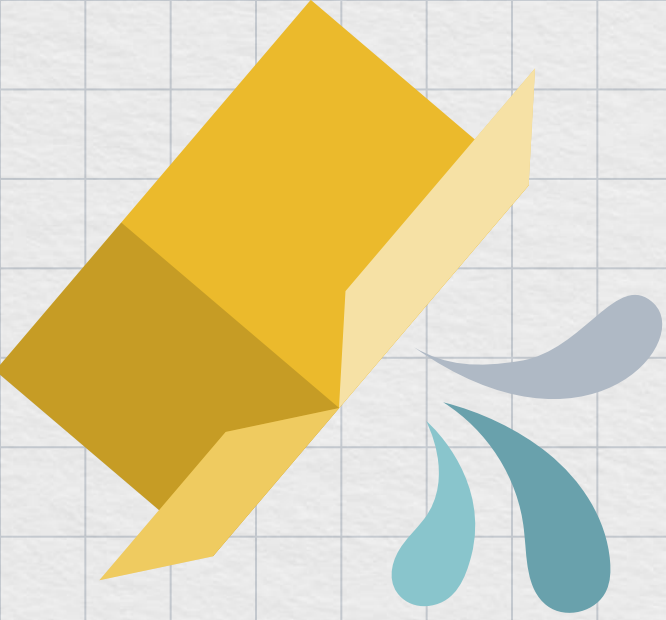
CPU memiliki 16-bit address bus, 8-bit data bus dan sebuah jalur kontrol Read dan Write, Seperti pada Gambar 4.5.



Suatu saat kontrol \overline{RD} dan \overline{RW} dapat pula tidak aktif secara bersamaan, yaitu saat CPU sedang melakukan proses operasi internal (di dalam CPU sendiri).



Gambar 4.5 Ilustras CPU 8-bit dengan kontrol \overline{RD} dan \overline{WR} (lanjutan)

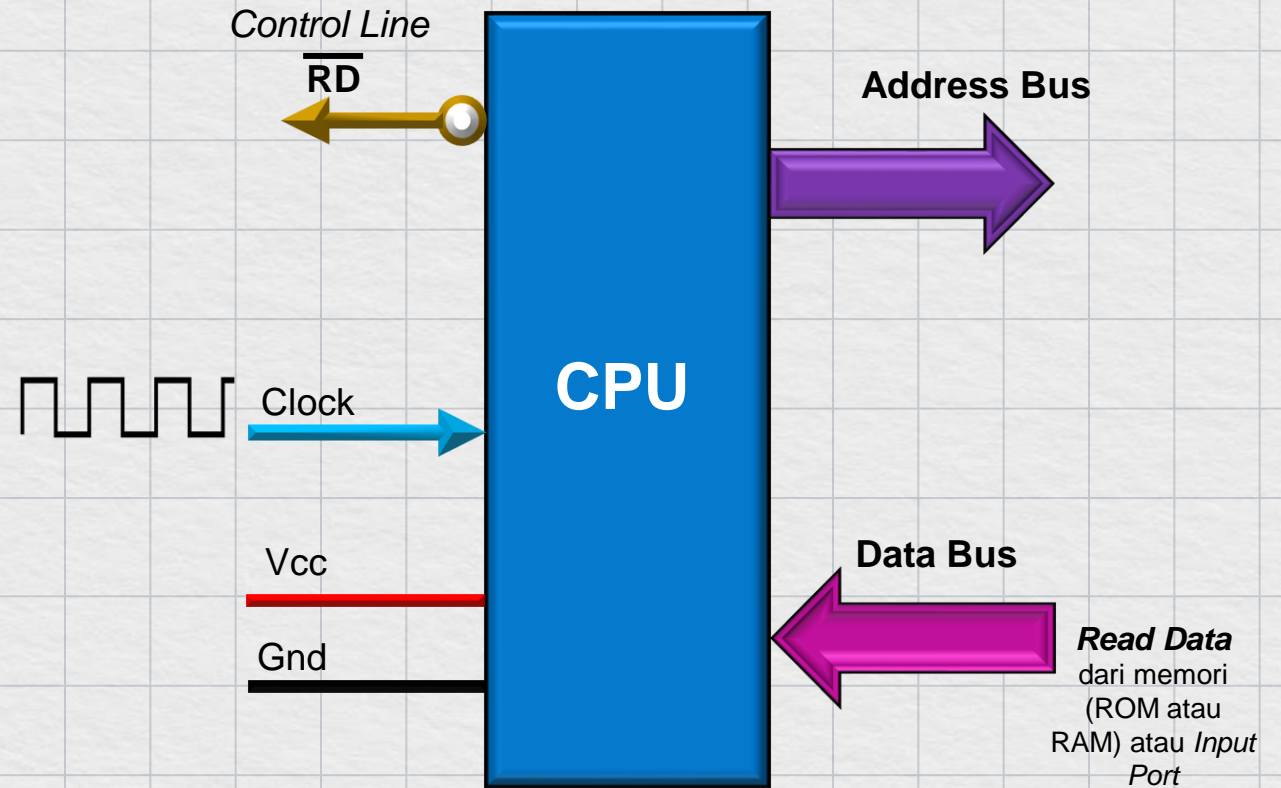


SIKLUS OPERASI READ (MEMBACA) DATA

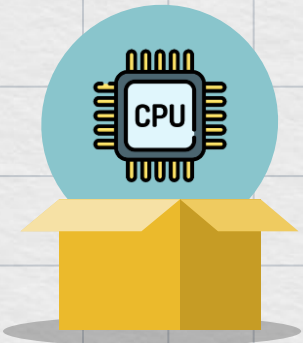
Siklus Operasi Read

Untuk proses membaca data (*Data Read Process*), maka fungsi input-output CPU dapat dinyatakan pada Gambar 4.6

Arah panah data bus menunjukkan bahwa ia berfungsi sebagai input, atau CPU mendapatkan data dari luar.



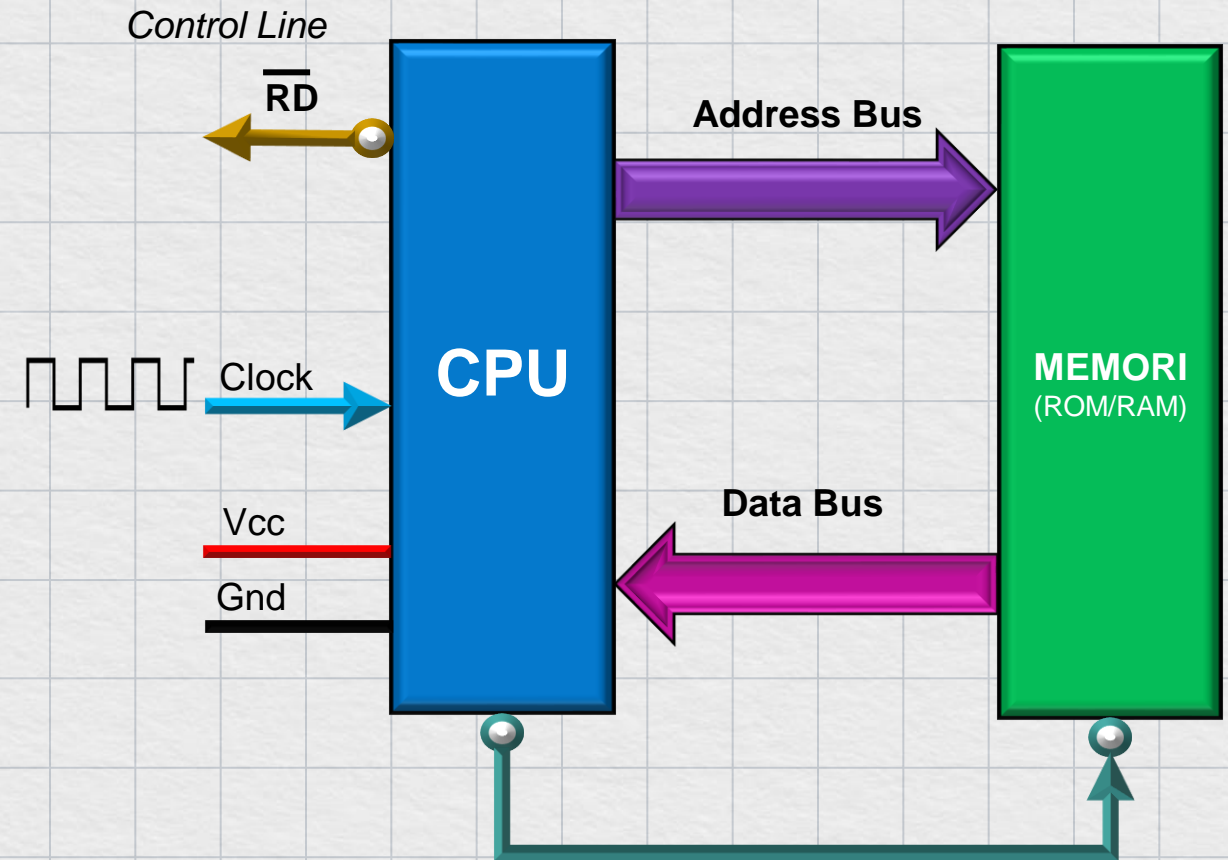
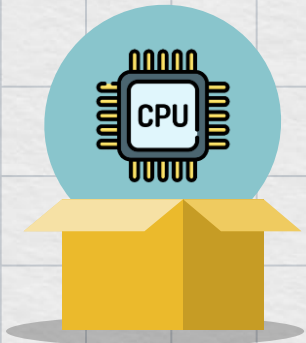
Gambar 4.6 Ilustrasi aliran sinyal saat CPU membentuk operasi Read



Siklus Operasi Read

Urutan operasi read adalah sebagai berikut, pertama CPU memasang suatu konfigurasi logika tertentu pada address bus, sesuai dengan alamat dari lokasi data yang akan di baca.

Apabila konfigurasi logika alamat sudah terpasang dengan baik pada jalur-jalur address bus, CPU mengirimkan (mengeluarkan) sinyal kontrol dengan logika 0.



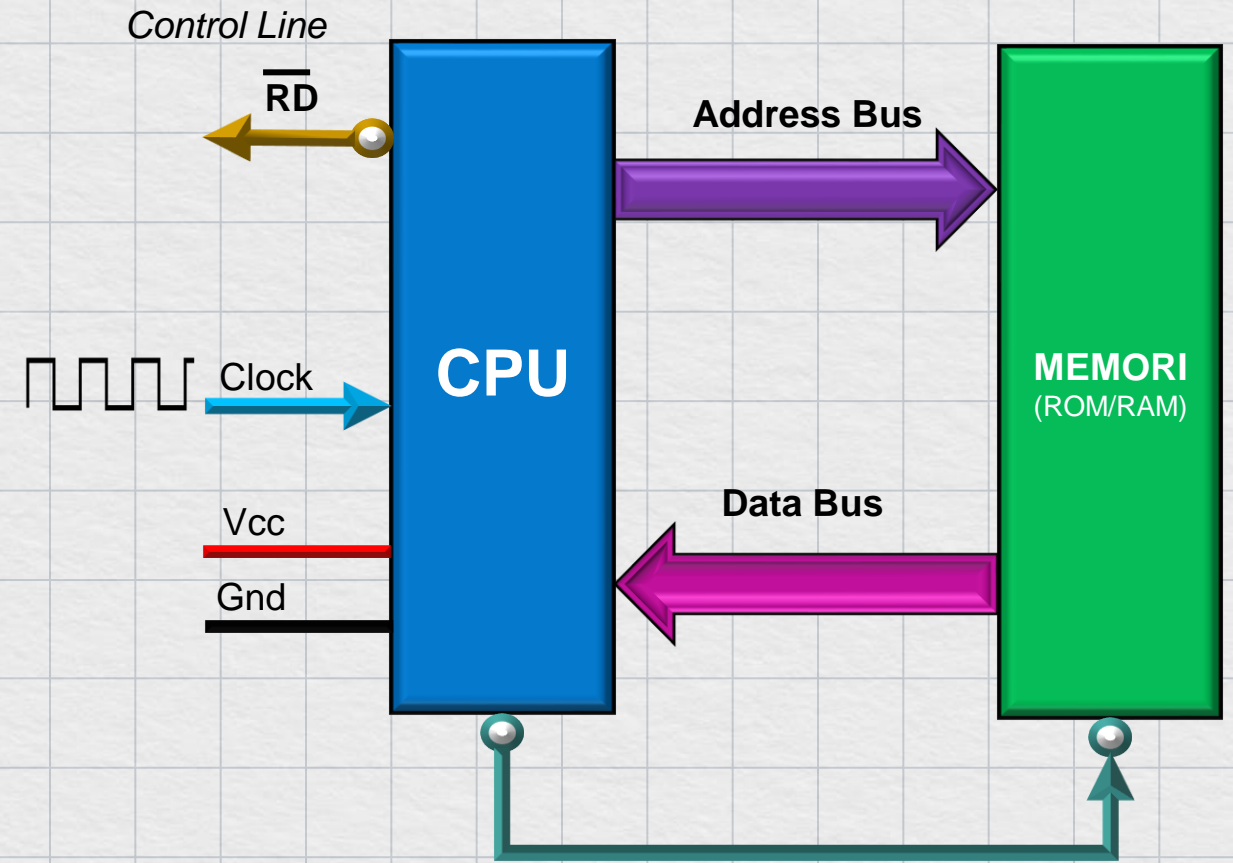
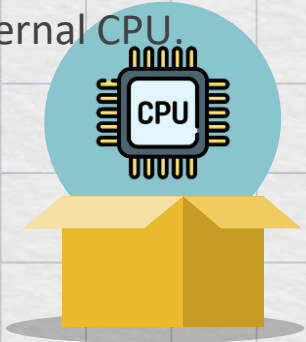
Gambar 4.7 Ilustrasi operasi *Read* bila CPU dihubungkan ke memori

Siklus Operasi Read

Dengan konfigurasi logika alamat tertentu dan sinyal aktif ini chip memori menjadi tahu bahwa ia dihubungi pada alamat seperti konfigurasi tersebut, dan CPU meminta memori, untuk memasang data yang berada di alamat tersebut ke address bus.

Berikutnya chip memori memasang konfigurasi logika, sesuai dengan data yang disimpan ke address bus.

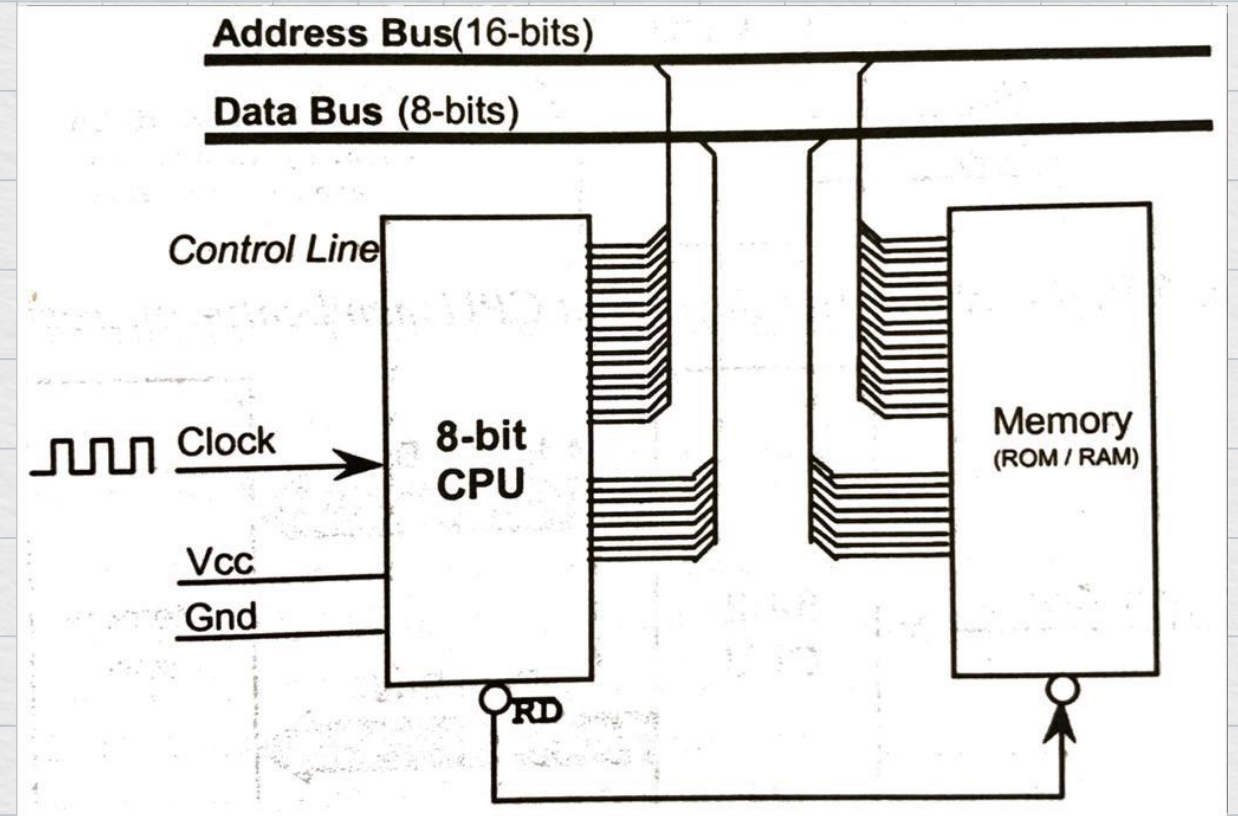
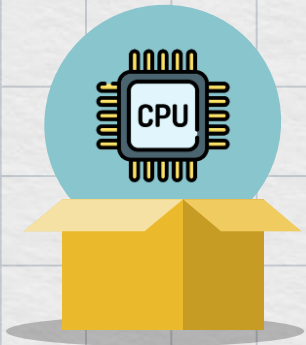
Langkah terakhir adalah CPU mengambil (membaca) data yang telah tersedia di address bus untuk di copy ke memori internal CPU.



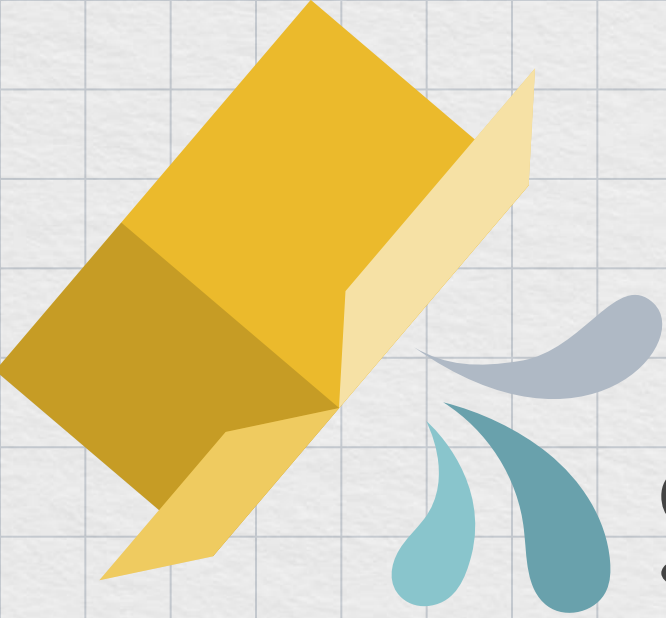
Gambar 4.7 Ilustrasi operasi *Read* bila CPU dihubungkan ke memori (lanjutan)

Siklus Operasi Read

Pada Gambar 4.7, dalam bentuk realisasi rangkaian, proses pembacaan data dapat lebih dijabarkan dengan bantuan penggambaran bentuk-bentuk gelombang tiap pin/jalur, dalam suatu grafik dengan berbasis pada pulsa triger clock.



Gambar 4.7 Ilustrasi operasi *Read* dalam bentuk tata rangkaian

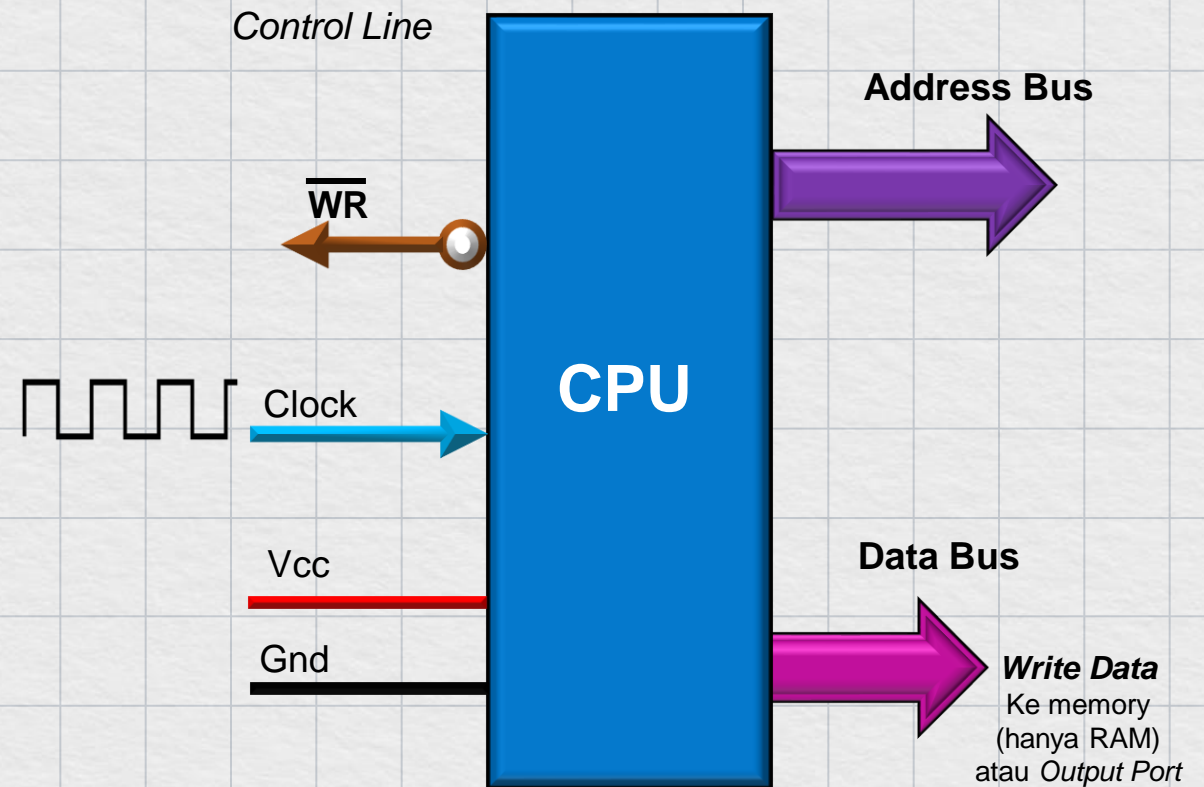


SIKLUS OPERASI WRITE (MENULIS) DATA

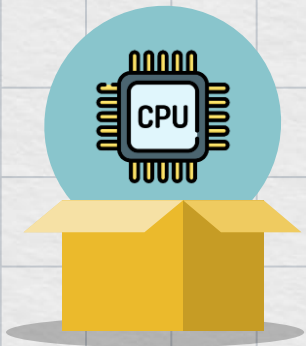
Siklus Operasi Write

Arah panah data bus menuju ke luar, menunjukkan bahwa CPU mengeluarkan data ke suatu rangkaian .

Gambar 4.8 menunjukkan arah panah data bus menuju ke luar, menunjukkan bahwa CPU mengeluarkan data ke suatu rangkaian luar.

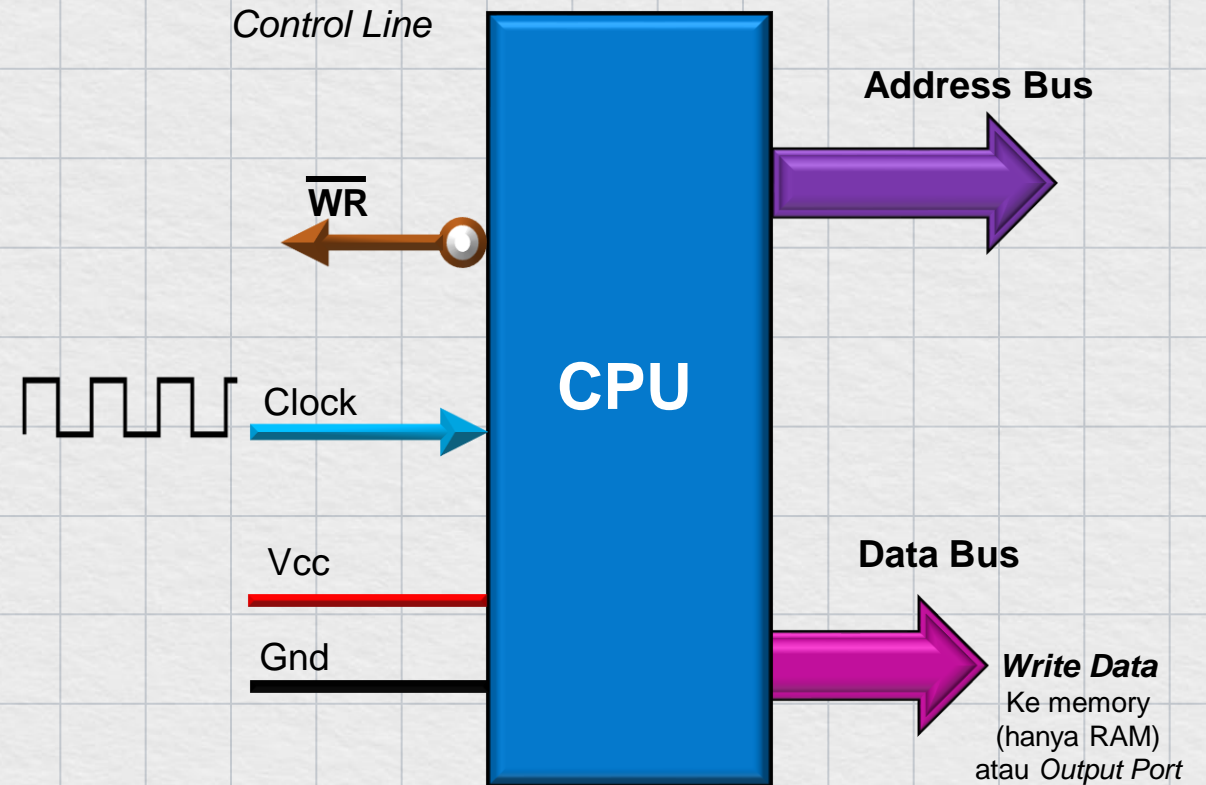
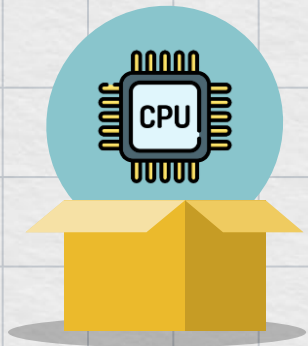


Gambar 4.8 Ilustrasi aliran sinyal saat CPU membentuk operasi Write



Siklus Operasi Write

Proses menulis data (*data write process*) pada CPU adalah proses pemindahan data dari CPU ke memori atau rangkaian Output Port.



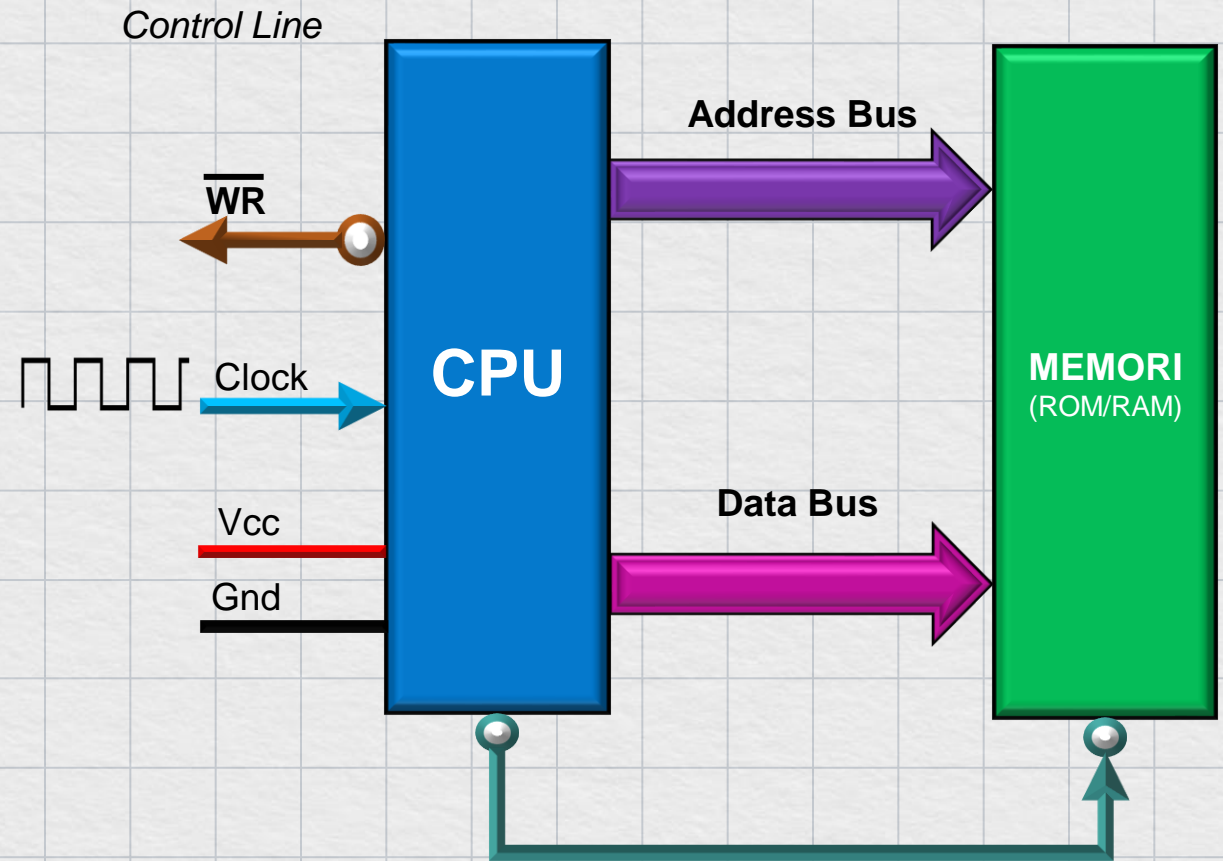
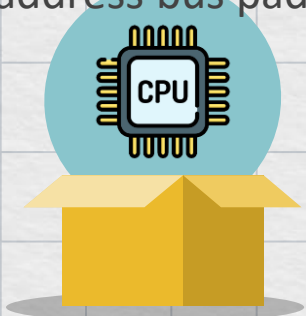
Gambar 4.8 Ilustrasi aliran sinyal saat CPU membentuk operasi Write (lanjutan)

Siklus Operasi Write

Seperti pada Gambar 4.9, CPU dihubungkan ke sebuah RAM. Arah panah pada address bus menunjukkan bahwa data bersal dari luar RAM, yang dalam hal ini adalah CPU, menuju ke RAM.

Dengan demikian baik address bus, data bus, maupun jalur kontrol merupakan fungsi input pada RAM.

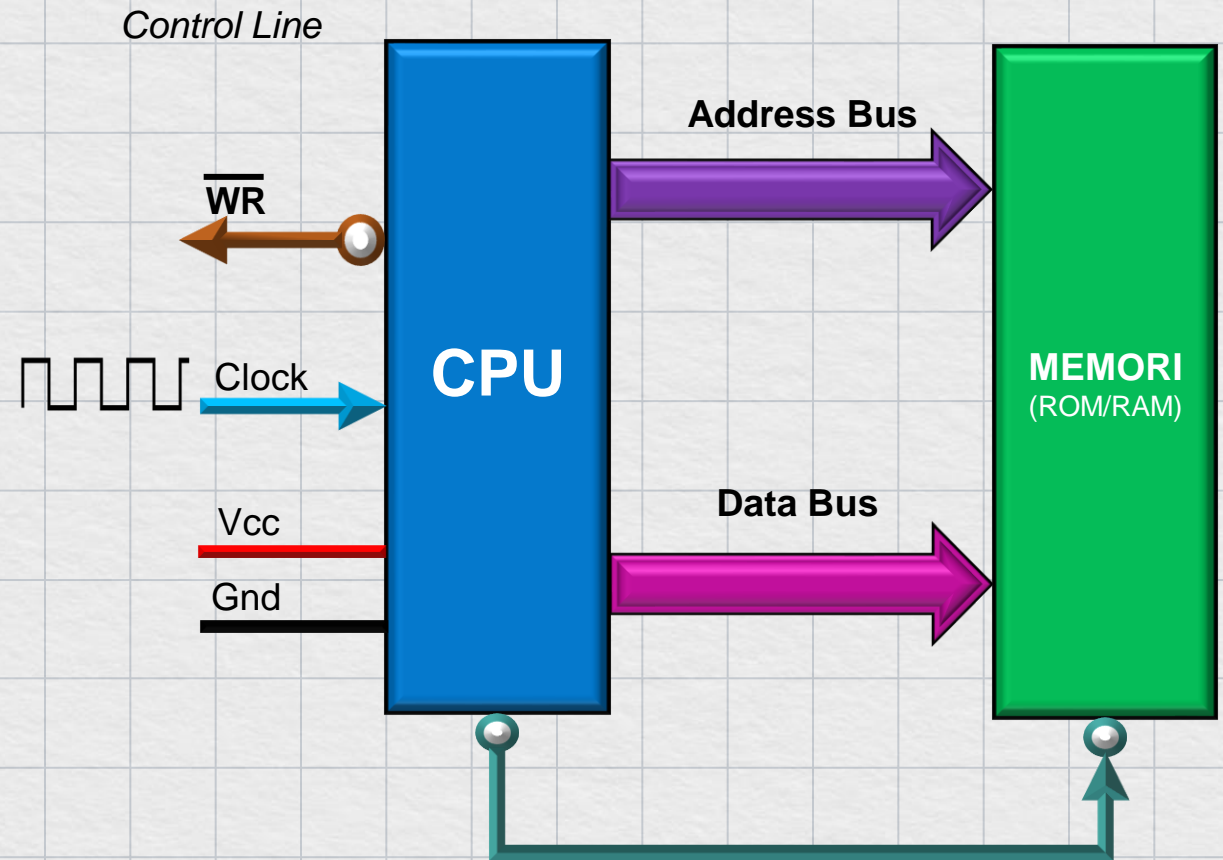
Outputnya adalah memori yang tersimpan pada salah satu alamat di dalam RAM, sesuai dengan seting alamat di address bus pada saat data menuju RAM.



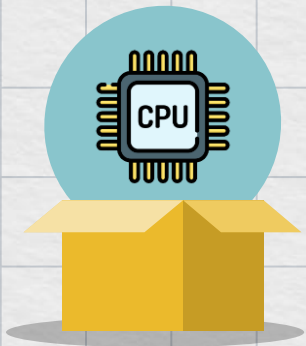
Gambar 4.9 Ilustrasi operasi Write bila CPU dihubungkan ke memori

Siklus Operasi Write

Selanjutnya isi memori yang tersimpan di dalam RAM, dapat di baca CPU setiap saat dengan seting alamat, sesuai dengan pada saat menyimpan/menulis data ke RAM tersebut.



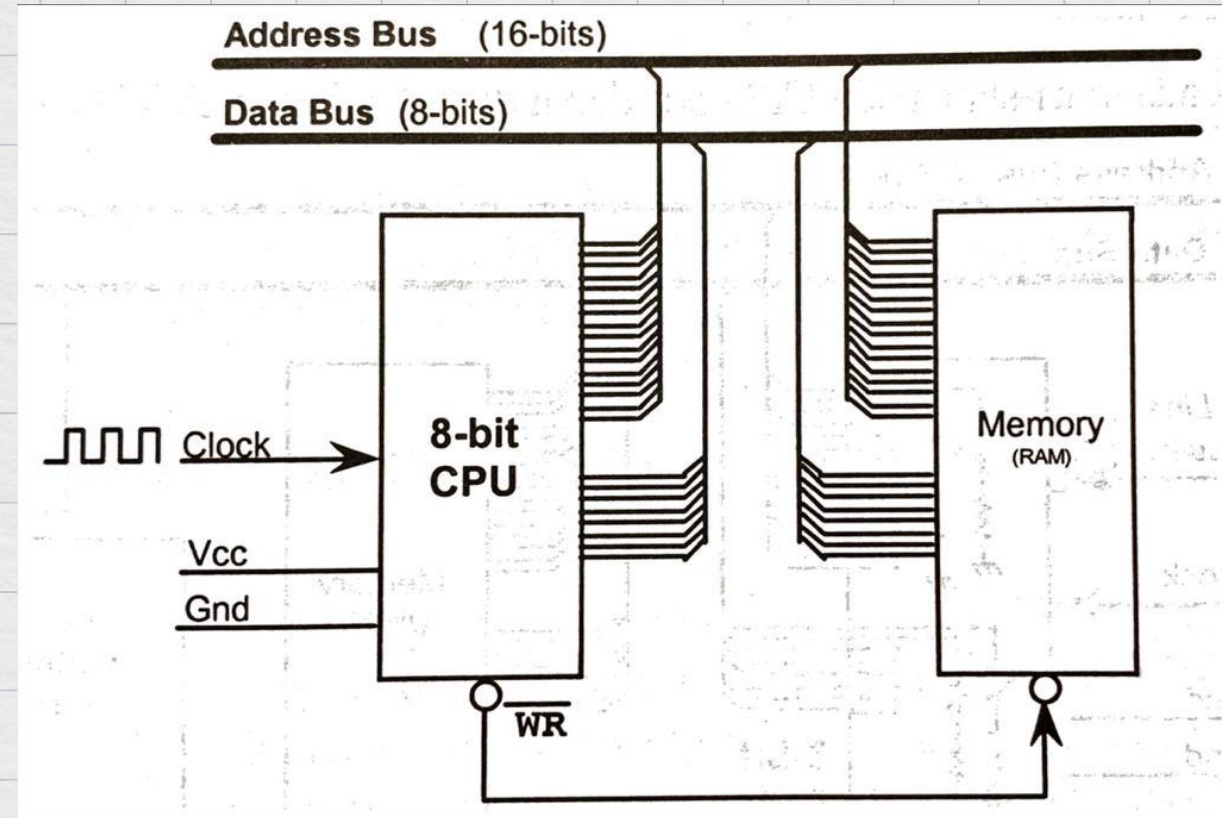
Gambar 4.9 Ilustrasi operasi Write dalam bentuk tata rangkaian



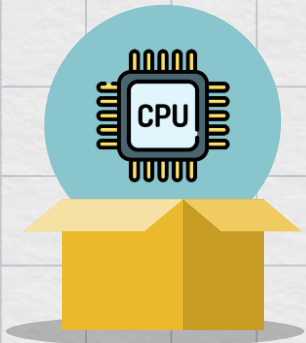
Siklus Operasi Write

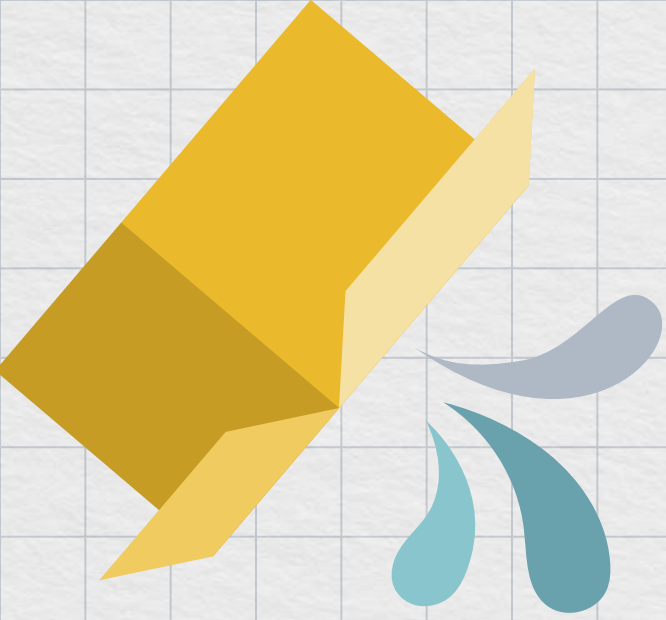
Proses menulis data (*data write process*) pada CPU adalah proses pemindahan data dari CPU ke memori atau rangkaian Output Port.

Arah panah address bus menuju ke luar, menunjukkan bahwa CPU mengeluarkan data ke suatu rangkaian luar ditunjukkan dalam Gambar 4.10



Gambar 4.10 Ilustrasi operasi Write dalam bentuk tata rangkaian



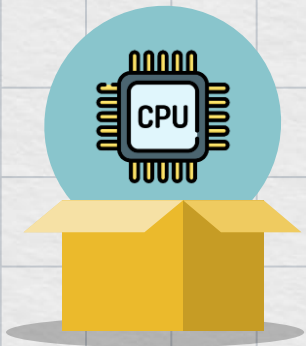


KONDISI AMBANG (*Tri-State Condition*)

Tri-State Condition

Tri-state condition adalah keadaan ambang pada jalur/bus pada sisi CPU, dimana pada bus tersebut tidak terdapat kondisi logika biner, baik *low* maupun *high*. Jalur ini bersifat *high impedance*.

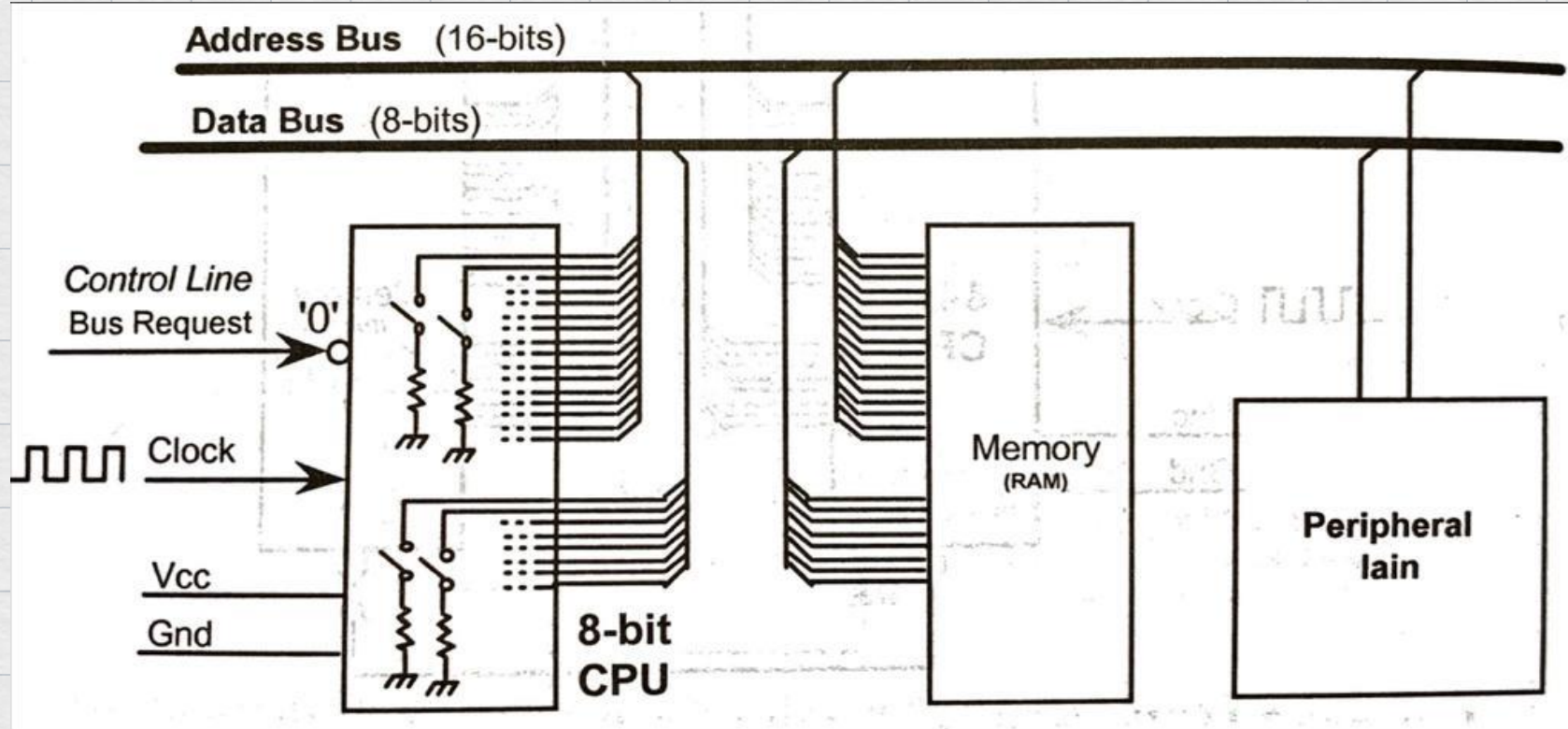
Karena Jalur yang dalam keadaan ambang seperti jalur yang tidak terhubung terhadap titik manapun. Secara teori kalau diukur, besar tahanannya terhadap ground adalah tak terhingga.



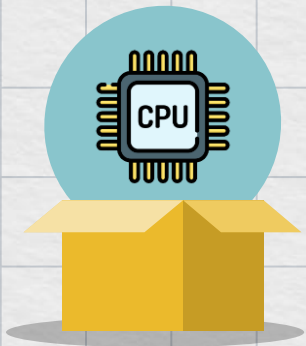
- Keadaan ini CPU tidak di pengaruhi oleh komponen luar.
- Kondisi ini bus dapat dimanfaatkan untuk proses lain, atau melakukan kerja paralel, sehingga dalam melakukan dua pekerjaan dalam waktu yang bersamaan

Tri-State Condition

Seperti ditunjukkan Gambar 4.11. Keadaan *Tri-state* ini terjadi pada saat CPU sedang mengadakan proses kerja di dalam CPU itu sendiri. Misalnya mengadakan pertukaran data antar memori/register dalam CPU, yang tidak melibatkan satupun rangkaian luar yang terhubung padanya.



Gambar 4.11 Ilustrasi keadaan tri-state dalam tata rangkaian





Thank you!

Do you have any questions?

bhadikunaryo@gmail.com

081327538266

